

# VARIABLE POWER SYSTEM FOR PICTURE DATA

**Patent number:** JP63048064  
**Publication date:** 1988-02-29  
**Inventor:** SAKANO YUKIO  
**Applicant:** RICOH CO LTD  
**Classification:**  
**- International:** H04N1/393  
**- european:**  
**Application number:** JP19860191760 19860818  
**Priority number(s):**

## Abstract of JP63048064

**PURPOSE:** To enable a variable power through a real-time processing by constituting a variable power control information by data which have been separated into the data to show the relation of the number of the sampling spots of the picture data and the data to show the relation of the positions of the sampling spots before and after the variable power.

**CONSTITUTION:** The variable power control information is constituted by the data which have been separated into the data to show the relation of the number of the sampling spots of the picture data and the data so show the relation of the positions of the sampling spots before and after the variable power. An  $X_n$ , expressed by a formula against a variable power rate  $\alpha(\%)$ , shows the position of the data after the variable power against the data before the variable power. For instance, the  $\alpha$  shows the number of the sampling spots after the variable power against 100 number of the sampling spots before the variable power, and the  $X_n$  has an information of the relation of the number and the relation of the positions of the sampling spots before and after the variable power within it, and for a part of more than 100 number of the sampling spots before the variable power, the consideration of the repeat by every 100 number is enough. Consequently, the variable power through the real-time processing can be executed.

$$X_n = \frac{100}{X} \times \alpha + K \quad \left( \begin{array}{l} n = 0, 1, 2, \dots \\ (K = \text{定数}) \end{array} \right)$$

Data supplied from the esp@cenet database - Worldwide

⑬ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-48064

⑥ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)2月29日

H 04 N 1/393

7170-5C

審査請求 未請求 発明の数 1 (全15頁)

⑭ 発明の名称 画像データの変倍方式

⑯ 特 願 昭61-191760

⑰ 出 願 昭61(1986)8月18日

⑱ 発 明 者 坂 野 幸 男 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
 ⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号  
 ⑳ 代 理 人 弁 理 士 武 願 次 郎

## 明 細 書

## 1. 発明の名称

画像データの変倍方式

## 2. 特許請求の範囲

(1) 少なくとも1主走査ライン分の容量を有するラインメモリ、変倍制御情報が格納される変倍コントロールメモリおよび変倍動作時にデータの補正を行うデータ補正部を備え、前記変倍コントロールメモリからの変倍情報に基づいて前記ラインメモリおよび前記データ補正部が動作して変倍動作を行う画像データの変倍方式において、変倍制御情報を、変倍前と変倍後の画像データのサンプリング点の個数関係を表すデータと、前記サンプリング点の位置関係を表すデータとに分離したデータにより構成することを特徴とする画像データの変倍方式。

(2) 前記変倍コントロールメモリは読み出し専用メモリであることを特徴とする特許請求の範囲第(1)項に記載の画像データの変倍方式。

(3) 前記変倍コントロールメモリはランダムアクセ

スメモリであることを特徴とする特許請求の範囲第(1)項に記載の画像データの変倍方式。

(4) 変倍動作に先立つて、予め中央処理ユニット等により変倍制御情報を形成し、この変倍制御情報を前記ランダムアクセスメモリに格納することを特徴とする特許請求の範囲第(3)項に記載の画像データの変倍方式。

## 3. 発明の詳細な説明

(技術分野)

本発明は画像データの変倍方式に関し、より詳細には、デジタル化された画像データをデジタル論理処理によつて変倍するデジタル複写機、ファクシミリ、イメージスキヤナ、画像編集システム等に適用し得る画像データの変倍方式に関するものである。

(従来技術)

デジタル画像処理装置等における画像データの変倍方式には従来、光学的変倍法、2値画像の間引き、挿入による変倍法、補間関数を用いた変倍法(テーブル方式による演算)等が採用されてい

る。しかしながら、これらの変倍法のうち、光学の変倍法は機械的な構造上の理由、すなわち装置の大きさ等および光学的な理由、すなわち光源の明るさ、結像のボケ等のため広範囲の変倍率が困難である。また、2値画像の間引き、挿入による変倍法においては画像データの歪みが大きい、変倍の精度が良くない等の欠点がある。さらに、補間関数を用いた変倍法では、何種類かの固定変倍には対応できるが、任意倍率で広範囲の変倍に対応するのは困難である。

#### (目的)

本発明は上記従来技術の欠点に鑑みてなされたもので、その目的とするところは、デジタル画像データの電気的な変倍を簡単なハードウェア構成により任意の倍率で、広範囲にかつ精度良くそして入力装置または出力装置に同期したリアルタイム処理による変倍を可能とする画像データの変倍方式を提供することにある。

#### (構成)

本発明は上記の目的を達成させるため、少なく

主走査ライン単位に時系列的に配置された画像データとして入力され、主走査方向画素数に関して、所望の倍率で変倍処理され、新たな画像データとして出力されるものである。このとき、入力と出力とは一定の同期関係を持ち、いわゆるリアルタイム処理である。

ここで、第1図および第2図によつて画素、画像データ、主走査、副走査等の概念について説明する。第1図において、1枚の画像が画素 $P_{ij}$  ( $i = 0, 1, 2, \dots, n, j = 0, 1, 2, \dots, n$ )に分割され、 $P_{00} \sim P_{0n}$ の集合 $P_0$ 、 $P_{10} \sim P_{1n}$ の集合 $P_1$ 、 $P_{20} \sim P_{2n}$ の集合 $P_2$ 、……がそれぞれ1主走査内の画像データである。以下、便宜上、副走査方向に順に各主走査ラインを第1図に示すごとく0、1、2、…… $n$ と付し、第0ライン、第1ライン、第2ライン……と呼ぶことにする。

第2図は第1図に対応する信号のタイムチャートであり、 $LSYNC$ は主走査同期信号(またはライン同期信号または単に同期信号と呼ぶ)、 $P$

とも1主走査ライン分の容量を有するラインメモリ、変倍制御情報が格納される変倍コントロールメモリおよび変倍動作時にデータの補正を行うデータ補正部を備え、前記変倍コントロールメモリからの変倍情報に基づいて前記ラインメモリおよび前記データ補正部が動作して変倍動作を行う画像データの変倍方式において、変倍制御情報を、変倍前と変倍後の画像データのサンプリング点の個数関係を表すデータと、前記サンプリング点の位置関係を表すデータとに分離したデータにより構成することを特徴としたものである。

以下、本発明の一実施例に基づいて具体的に説明する。

本発明はデジタル化された画像データをデジタル論理処理によつて2次的に変倍する方式に関する。主走査方向および副走査方向にそれぞれ画素単位に分割された画像データが1主走査内では画素単位に時系列的に配置される。さらに副走査方向に対しては、第1の主走査データ、第2の主走査データ、第3の主走査データという具合に主

は主走査ラインが偶数番目のラインか奇数番目のラインかを示す信号(偶数ラインで $P = "L"$ )、 $a$ は第1図を読み取った画像データ信号である。

画像データ信号 $a$ 中の $P_0$ 、 $P_1$ 、 $P_2$ は第1図の $P_0$ 、 $P_1$ 、 $P_2$ に対応し、さらに詳細には、信号 $a$ は $P_0$ 、 $P_1$ 、 $P_2$ のそれぞれの内部で画素単位に区切られた信号である。

次に本発明による画像データの変倍方式の一実施例について第3図のブロック図を参照して説明する。図中1は第1セレクト、2はデータ補正部、3は第3セレクト、4は第2セレクト、5は第1ラインメモリ、6は第2ラインメモリ、7は第4セレクト、8は変倍コントロールメモリ、9はメモリコントローラである。また、第3図中の信号 $a$ は入力画像データで、6ビット=64階調の濃度情報を有する。信号 $d$ は出力画像データであり、やはり6ビット=64階調の濃度情報を有する。

信号 $i$ は変倍が拡大か縮小かを示す信号で、

拡大(含等倍)時  $i = "H"$

縮小時  $i = "L"$

である。

信号jは変倍処理を行うために必要な情報あり、図示しない中央処理ユニット(CPU)により変倍コントロールメモリ8にセットされる。このCPUによる変倍情報のセットは画像データの変倍動作に先立つて予めセットされる。

信号K、Lはセットされた信号jに基づいて変倍動作時にデータ補正部2、メモリコントローラ9に供給される変倍制御用の信号である。

信号m、nはそれぞれ第1および第2ラインメモリ5、6の制御信号であり、アドレス信号、読出し、書き込み制御信号である。

信号Pは第2図と同じく主走査ラインが偶数番目か奇数番目かを示す信号である。信号CLKは画像単位クロック信号である。

また、信号b、c、e、f、g、hはそれぞれ第1セクタ1、データ補正部2、第2セクタ4、第4セクタ7、第1ラインメモリ5、第2ラインメモリ6の出力であり、かつそれらは画像データである。これらもすべて6ビット=64階

調の濃度情報を有することは勿論である。

変倍コントロールメモリ8への予めの変倍情報のセットについては後述するが、ここで変倍動作時の第3図に示した構成の動作の概要を第4図を参照して説明する。第4図に示すごとく、この動作は拡大時の偶数ライン時と奇数ライン時、また縮小時の偶数ライン時と奇数ライン時との4つの動作モードに大別される。図中、第1、第2ラインメモリ5、6の間におけるRDモードおよびWTモードはそれぞれ読出しモードおよび書き込みモードを表す。

例えば、拡大時の偶数ライン時は、第1ラインメモリ5がRDモード、第2ラインメモリ6がWTモードであり、そして第3図への入力信号aは、a→第2セクタ4→f→第2ラインメモリ6の経路で第2ラインメモリ6に書き込まれる。この動作と平行して第1ラインメモリ5からの読出しデータは、第1ラインメモリ5→g→第4セクタ7→第1セクタ1→b→データ補正部2→c→第3セクタ3→dの経路で出力される。

次の走査では、今度は奇数ラインになるので、第1および第2ラインメモリ5、6のRDおよびWTモードが逆転し、入力信号aは、a→第2セクタ4→f→第1ラインメモリ5で書き込まれ、一方、この動作と平行して、第2ラインメモリ6の読出しデータは、第2ラインメモリ6→h→第4セクタ7→e→第1セクタ1→b→データ補正部2→c→第3セクタ3→dの経路で出力される。このとき、第2ラインメモリ6から読み出されるデータは前回の偶数ライン時に第2ラインメモリ6に書き込まれたデータである。同様にして、今回のラインで第1ラインメモリ5に書き込まれたデータは次の偶数ライン時に読み出されて、各経路を通つた後信号dとして出力される。

以上が拡大時の動作であるが、第3図および第4図により縮小時の動作も当業者には同様に理解されよう。

以上の動作を換言すれば以下のようにも表現できる。すなわち、

(1) 拡大時はラインメモリからの読出し時にデータ

補正し、縮小時はラインメモリへの書き込み時にデータ補正をする。

(2) 第1および第2ラインメモリとは走査ライン毎に交互に読出し、書き込み動作を行い、一方が読出しモードの時は他方が書き込みモードである。

(3) 拡大/縮小信号iおよび偶数/奇数ライン信号pにより、前記(1)、(2)の制御をする。

上記により画像データの流れを中心として第3図の構成の動作の概要を説明した。上記説明には変倍がどこでどのようにして行われるかについては殆ど触れてないので、以下の説明は変倍を中心として第3図の各ブロックの構成および動作について詳細に行う。

第5図は或る主走査ライン上での或る位置付近に対応する第3図の入力信号aを模式的に示すタイムチャートである。このチャートにおいてT<sub>i</sub>は画像の単位を示し、第3図での信号CLKの1周期に対応する。縦軸は6ビット=64階調の濃度レベルに対応する。

今、入力画像データが第5図のように○印で示

す画素ピッチが $T_1$ で、濃度レベルが $A_1, A_2, A_3, \dots, A_n$ であるとする。この第5図の画像を主走査方向に拡大し、しかも画素ピッチは $T_1$ であるような拡大を考える。簡単のため、例えば250%の拡大を例とすると、第6図のように表される。

すなわち、第6図で○印および $A_1, A_2, A_3, \dots$ は第5図の $A_1, A_2, A_3, \dots$ であり、走査方向に2.5倍に引き伸ばされている。

一方、△印はピッチ $T_1$ であり、 $B_{11}, B_{12}, B_{13}, B_{14}, \dots$ は各点での濃度レベルである。このとき、 $B_{11}, B_{12}, B_{13}, B_{14}, \dots$ は $A_1, A_2, A_3, \dots$ に対する変倍画像データであり、AとB、すなわち、○印と△印との位置関係およびAとBとの濃度レベルはそれぞれ一定の関係がある。

例えば、第6図で、Aは2.5 $T_1$ 周期、Bは $T_1$ 周期で、かつ $A_1$ と $B_{11}$ とが一致していれば、以降のA、Bの位置は一義的に決まる。

また、Bの濃度レベルは、例えば前後に近接す

る2つのAのレベルおよびAまでの距離によって決定する、いわゆる「近接画素間距離線型配分法」等によつて算出される。

第6図の例では、例えば $B_{12}$ は前後の $A_1, A_3$ から、

$$B_{12} = \frac{r_1 \times A_1 + r_3 \times A_3}{r_1 + r_3}$$

によつて求められる。

第7図は第5図の縮小例であり、変倍率が70%の例を示す。第7図においてAのピッチは○印のごとく0.7 $T_1$ であり、変倍されたBのピッチは△印のごとく、変倍前(第5図)のAと同じく $T_1$ である。この場合も、拡大の場合と同じく、○印と△印との位置関係およびAとBとの濃度レベルはそれぞれ一定の関係で決まる。

例えば、第7図で $B_1$ のレベルは

$$B_1 = \frac{r_2 \times A_2 + r_1 \times A_1}{r_1 + r_2}$$

によつて求められる。

以上のように、変倍率が与えられれば、変倍前

のデータAと変倍後のデータBとの位置関係を決めることが可能であり、またその位置関係と変倍前のデータAとから変倍後のデータBの濃度レベルを決めることが可能である。

このことを第3図と関連づけて説明すると、AとBとの位置関係の情報が格納され、必要に応じてこの情報を送出するのが変倍コントロールメモリ8であり、上式の $B_{11}$ 、および $B_1$ のような演算によりBのレベルを決定するのがデータ補正部2である。

さらに、第6図および第7図から明らかなように、変倍率と画素位置によつて○印と△印との1ピッチの間に△印が全くない場合、1個だけ有る場合、2個だけ有る場合等のように各種の場合がある。勿論、この関係も位置関係であり、変倍率が与えられれば決まるものである。このように△印が全くないか、或いは幾つ有るかは第3図の動作上極めて重要な事項であり、信号 $\beta$ としてメモリコントローラ9に与えられ、第1および第2のラインメモリ5、6のアドレス制御に利用される。

次に、変倍前と変倍後との位置関係の情報の具体例について説明する。

変倍率 $\alpha$ (%)に対し

$$X_n = \frac{100}{\alpha} \times n + K \quad (n=0, 1, 2, \dots) \\ (K=\text{定数})$$

なる $X_n$ は変倍前のデータに対する変倍後のデータの位置を示す。換言すれば、変倍前のデータサンプリングピッチを1としたときの変倍のための新しいサンプリング点を示す。ここで定数Kはサンプリングの新旧の位相差または初期値に対応し、簡単のため $K=0$ とする。すなわち変倍前と変倍後とで最初のデータの位置を一致させるものとする。ここで、

$$X_n = \frac{100}{\alpha} \times n - X_{n-1} + \frac{100}{\alpha} \quad (X_0 = 0)$$

により、変倍率 $\alpha$ が与えられれば、計算または読出し専用メモリ(ROM)テーブルによりCPUにおいて簡単に $100/\alpha$ 、したがって $X_n$ が求められる。

さらに、変倍率 $\alpha$  (%) が、例えば50%~1000%の範囲内で1%刻みで設定されるような場合においては、

$$\begin{cases} X_n = (100/\alpha) \times n \\ n = 1, 2, \dots, \alpha \end{cases}$$

と表すことができる。

すなわち、 $\alpha$ は変倍前サンプリング点100個に対する変倍後のサンプリング点の個数を示し、 $X_n$ はその中での変倍前後のサンプリング点の個数関係および位置関係の情報を有し、変倍前サンプリング点100個以上の部分については、100個毎に同様な繰返しを考えれば十分である。

したがって上記の場合、 $n$ の数は $\alpha = 1000\%$ のときが最も多く、 $n = 1000$ である。

次に、 $X_n$ の性質に付いてさらに詳細に説明する。 $X_n$ を整数部 $I_n$ 、小数部 $J_n$ によつて表すと、

$$X_n = I_n + J_n$$

ここで $I_n$ は変倍前後のサンプリング点の個数情報を、また $J_n$ は変倍前後のサンプリング点の

なる $100/\alpha$ で $X_n$ が増加するので、 $\Delta I_n$ の値も $\Delta I_n = 1$ または2となり、変倍後サンプリング点 $n-1$ と $n$ との間に変倍前サンプリング点が1個有するか、2個有するかを示し、

$$\Delta I_n = 1 \text{ ならば } 1 \text{ 個有り、}$$

$$\Delta I_n = 2 \text{ ならば } 2 \text{ 個有り、}$$

を示す。

例えば、第7図において、 $B_n$ と $B_{n+1}$ の間には $A_n$ が1個有るので $\Delta I_n = 1$ に対応し、また $B_n$ と $B_{n+2}$ の間には $A_n$ と $A_{n+1}$ の2個のサンプリング点があるので $\Delta I_n = 2$ に対応する。

一方、 $J_n$ については縮小時においても位置関係を示し、例えば第7図において $r_1$  (したがって $r_2$ ) に関する情報を有する。

$\Delta I_n$ は拡大、縮小時ともにサンプリング点の個数関係の情報であるが、ハードウェアの簡略化のために、特に縮小時においては、 $\Delta I_n = 2$ を2つに分解変形し、 $\Delta I_{n1} = 0$ 、 $\Delta I_{n2} = 1$ とする。

この変形により、拡大、縮小共通に、

位置情報を示す。

例えば拡大時 ( $\alpha \geq 100\%$ ) において、 $\Delta I_n = I_n - I_{n-1}$  (ただし、 $\Delta I_{n-1} = 0$ ) なる $\Delta I_n$ は変倍後サンプリング点 $n-1$ と $n$ との間に変倍前サンプリング点があるか無いかを示し、

$$\Delta I_n = 0 \text{ ならば無し}$$

$$\Delta I_n = 1 \text{ ならば有り}$$

を示す。

例えば、第6図において、 $B_{n+1}$ と $B_{n+2}$ の間には $A_n$ はないので $\Delta I_n = 0$ 、また $B_{n+1}$ と $B_{n+3}$ の間には $A_n$ があるので $\Delta I_n = 1$ に対応する。

一方、 $J_n$ は第6図における、例えば $B_{n+1}$ と $A_{n+1}$ 、 $A_n$ との位置関係 $r_1$  (したがって $r_2$ ) に関する情報を有する。

縮小時 ( $\alpha < 100\%$ ) においても、

$$\Delta I_n = I_n - I_{n-1} \text{ (但し、} \Delta I_{n-1} = 1 \text{)}$$

なる $\Delta I_n$ は変倍前後でのサンプリング点の有無を表すが、縮小の場合は、

$$1 < 100/\alpha \leq 2 \text{ (但し } 50\% \leq \alpha < 100\%)$$

$$\Delta I_n = 0 \text{ ならば無し、}$$

$$\Delta I_n = 1 \text{ ならば有り、}$$

として扱える。

$\Delta I_n = 0$ または1によつて第3図の第1および第2のラインメモリ5、6のアドレスの歩進を制御するため、上記の変形がハードウェアの簡略化につながっている。

以上のことから、拡大の場合は $n = \alpha$ 個、縮小の場合は $n = 100$ 個の $\Delta I_n$  ( $= 0$ または1)によつて、 $\alpha = 50\% \sim 1000\%$ に対する1%刻みの変倍に対するサンプリング点の個数データが得られる。

次に、 $X_n = I_n + J_n$ の小数部 $J_n$ について説明する。 $J_n$ はその定義から、第6図および第7図において、

$$J_n = r_1 / (r_1 + r_2)$$

を意味する。

ここで、ハードウェアの簡略化のために、 $J_n$ をその値によつて4つのランクに分割し、その4つのランクを $K_1$ 、 $K_2$ の2ビットで区別し、さ

らに、各ランクに対応させて変倍後のサンプリング点の濃度  $B_i$  を、変倍前の隣りのサンプリング点  $A_i$ 、 $A_{i+1}$  と下表のように対応させる。

$J_n$	ランク	$K_1$	$K_2$	$B_i$
$0 \leq J_n < 0.25$	1	0	0	$A_i$
$0.25 \leq J_n < 0.5$	2	0	1	$A_i(3/4) + A_{i+1}(1/4)$
$0.5 \leq J_n < 0.75$	3	1	0	$A_i(1/2) + A_{i+1}(1/2)$
$0.75 \leq J_n < 1$	4	1	1	$A_i(1/4) + A_{i+1}(3/4)$

以上によつて、 $X_n = 1_n + J_n$  なる変倍情報  $\Delta 1_n$ 、 $K_1$ 、 $K_2$  の3ビットのデジタル論理データで表現される。

尚、上表での  $B$  の値の計算は第3図のデータ補正部2によつて行われるものである。

各  $\Delta 1_n$  毎にそれぞれ  $K_1$ 、 $K_2$  が付随して3ビットで  $\alpha$  個（拡大時）または100個（縮小時）の変倍データ列が得られるが、 $\alpha$  個または100個毎に繰返しデータであるために、 $n = \alpha + 1$  または  $n = 100 + 1$  の場合は  $n = 1$  から再スタートさせる必要があり、これを示すために1ビットを割り当て、 $K_3$  とする。すなわち、 $K_3$

なら50%～1000%で1%刻みの変倍データの格納に十分である。例えば、200%の場合  $4 \times 200$  ビットだけが有効に使用される。

第8図において信号  $DLT$  は変倍データ  $J$  を取り込むためのクロック信号であり、外部からの信号  $J$  の送出に同期して信号  $DLT$  も送出される。

信号  $J$  には4ビットの変倍データとは別に、さらに1ビットのデータがある。これは変倍データの最初のデータ、すなわち  $n = 1$  のタイミングを示すデータであり、この信号により  $RAM 14$  のアドレスを0番地に設定する。より具体的には、このビットデータは  $n = 1$  の時のみ論理 = "1" であり、他の  $n$  に対しては0である。そして "1" のときに、 $RAM 14$  のためのアドレスカウンタ19をリセットする。

ラッチ10に取り込まれた変倍データ  $J$  のうち、このスタートビットは信号  $J_0$  としてゲート20、22を介してアドレスカウンタ19をクリアする。

信号  $DST$  は変倍データ  $J$  を受けて  $RAM 14$  に格納するモード中であることを示す。格納が終

は  $n = 1 \sim \alpha - 1$ （拡大時）または  $n = 1 \sim 99$ （縮小時）では  $K_3 = 0$ 、 $n = \alpha - 1$  または  $n = 100$  の時のみ  $K_3 = 1$  である。

以上の  $\Delta 1_n$ 、 $K_1$ 、 $K_2$ 、 $K_3$  の4ビットが第3図において外部から変倍コントロールメモリ8に付与される変倍データ  $J$  の中身である。

これまでの説明により変倍の原理および変倍データの内容が明らかにされたが、以下に第3図の構成の各ブロックについて詳細に説明する。

第8図は第3図の変倍コントロールメモリ8の内部ロジックを示す回路図である。図中、10～13はラッチ、14はランダムアクセスメモリ（RAM）、15～17はゲート、18はセレクト、19はアドレスカウンタ、20～25はゲートである。

$RAM 14$  は外部から信号  $J$  として与えられる変倍データが格納されるメモリであり、データの個数は  $\alpha = 1000\%$ （ $n = \alpha - 1000$ ）のときに最も多く、その容量は  $4 \times 1000$  ビットである。したがって、4000ビット以上の  $RAM$

終了すると、 $DST$  はレベル "H" になる。

信号  $DWT$  は  $RAM 14$  への書き込み動作のための信号であり、そしてクロック信号  $CLK$  は  $RAM 14$  から変倍データを読み出す場合、すなわち実際に変倍動作を行う場合のクロック信号である。

セレクト18により信号  $DLT$  またはクロック信号  $CLK$  が選択され、アドレスカウンタ19が歩進される。

すなわち、信号  $J$  を  $RAM 14$  に格納する場合は、信号  $J_0$  によりアドレスカウンタ19がクリアされ、その後信号  $DLT$  によりカウントアップされる。アドレス歩進に伴つて信号  $J$  は信号  $J_1$ 、 $J_2$  としてラッチ10、11を介して  $RAM 14$  に入力されかつ書き込まれる。 $n = \alpha$  または  $n = 1000$  に対応する分だけ書き込まれると、信号

$DST = H$  になり、 $RAM 14$  への書き込みは終了する。この書き込み動作は第9図のタイムチャートによつて説明される。また、第10図は変倍動作のために  $RAM 14$  から変倍データを読み出すモードでの第8図の動作を説明するタイムチャー

トである。

第10図において、読出し時、アドレスカウンタ19はセクタ18により信号CLKによつて歩進される。信号CLKは変倍される画像データの画素クロックでもある。

読出し時、 $\overline{DST} = 'H'$ でRAM14が読み出しモードになる。また、 $\overline{DWT} = 'H'$ になり、ラッチ11の出力はハイインピーダンス状態になる。したがつて、信号j<sub>1</sub>はRAM14からの出力信号が現れる。

アドレスが次々と歩進し、信号ADR =  $\alpha - 1$  ( $\alpha = 4$ に対応)に至り、再び信号ADR = 0から歩進する近辺のタイミングを第10図に示してある。信号j<sub>1</sub>の内容( $\alpha - 4$ )、( $\alpha - 3$ )……はそれぞれアドレス $\alpha - 4$ 、 $\alpha - 3$ ……に対応する変倍データの意味である。

特に、信号ADR =  $\alpha - 1$ においては信号j<sub>1</sub>の中のj<sub>1</sub> = '1'になる。この信号j<sub>1</sub>は変倍データのエンドビットであり、この信号j<sub>1</sub>はゲ

ート21、22を介してアドレスカウンタ19をクリアする。このアドレスカウンタ19がクリアされると、信号ADR = 0になり、再びADR = 0、1、2……と歩進される。

信号k<sub>1</sub>は信号j<sub>1</sub>の中の1ビットでラッチ12より出力されるが、この信号k<sub>1</sub>が変倍データj<sub>1</sub>の中の $\Delta 1$ のビットに対応する。 $\Delta 1$ は元来はサンプリング個数情報であつたが、信号k<sub>1</sub>においてはむしろ変倍のためのカウント制御信号と考えた方が理解が容易である。すなわち、この信号k<sub>1</sub>に基づいて変倍のためのラインメモリのアドレスのカウントをオン、オフ制御するからである。

ラッチ13の出力のうち、信号K<sub>2</sub>、K<sub>3</sub>は変倍データj<sub>1</sub>の中のサンプリング位置データのランクを示す2ビットのK<sub>1</sub>、K<sub>2</sub>にそれぞれ対応する。すなわち、書き込み時と読出し時の時間差や信号形態の差を無視して論理のみを考えれば、

$$\begin{cases} K_1 = K_1 \\ K_2 = K_2 \end{cases}$$

である。

信号K<sub>1</sub>は信号k<sub>1</sub>とCLKとから作成される信号で、カウントオン、オフ制御信号k<sub>1</sub>に同期してデータ補正部2(第3図)でのデータの流を制御するための信号である。

第11図は信号CLK、k<sub>1</sub>、K<sub>1</sub>、K<sub>2</sub>のタイミングを示すタイミングチャートである。

第12図は第3図のデータ補正部2の内部ロジックの回路図である。図中、26はラッチ、27はセクタ、28、29、30はアダー、31はセクタである。

画像データbはラッチ26により信号K<sub>1</sub>のタイミングでシフトされ、b<sub>1</sub> ~ b<sub>7</sub>とb<sub>8</sub> ~ b<sub>15</sub>に分離される。例えばb<sub>1</sub>が第6図のA<sub>1</sub>であり、b<sub>8</sub>がA<sub>8</sub>である。ここでセクタ27、31に入力される信号はそれぞれ

$$b_1 = b_{n-1}$$

$$b_2 = 1/2 b_{n-1}$$

$$b_3 = 1/4 b_{n-1}$$

$$b_4 = b_5 + b_6 = 1/2 b + 1/4 b = 3/4 b_{n-1}$$

また、

$$b_7 = 1/2 b_8$$

$$b_8 = 1/4 b_8$$

$$b_{11} = b_7 + b_8 = 1/2 b + 1/4 b = 3/4 b_{n-1}$$

である。

さらに、セクタ27、31の真理値表は第13図のようになっているので、信号K<sub>1</sub>、K<sub>2</sub>によつて画像データb<sub>1,2</sub>、b<sub>1,3</sub>、cは以下のようになる。

K <sub>1</sub>	K <sub>2</sub>	b <sub>1,2</sub>
0	0	b <sub>1</sub> = b <sub>n-1</sub>
0	1	b <sub>2</sub> = 3/4 b <sub>n-1</sub>
1	0	b <sub>3</sub> = 1/2 b <sub>n-1</sub>
1	1	b <sub>4</sub> = 1/4 b <sub>n-1</sub>

b <sub>1,3</sub>	c = b <sub>1,2</sub> + b <sub>1,3</sub>
0	b <sub>n-1</sub>
b <sub>5</sub> = 1/4 b <sub>n</sub>	3/4 b <sub>n-1</sub> + 1/4 b <sub>n</sub>
b <sub>6</sub> = 1/2 b <sub>n</sub>	1/2 b <sub>n-1</sub> + 1/2 b <sub>n</sub>
b <sub>11</sub> = 3/4 b <sub>n</sub>	1/4 b <sub>n-1</sub> + 3/4 b <sub>n</sub>

すなわち、入力データb、変倍データK<sub>1</sub>、K<sub>2</sub>、K<sub>3</sub>に対応して補正データcが得られる。

尚、画像データb、したがつてb<sub>1</sub> ~ b<sub>15</sub>は信号K<sub>1</sub>のタイミングで変化するが、選択条件K<sub>1</sub>



、Kはクロック信号CLKのタイミングで得られる。

第14図は第3図の第1および第2ラインメモリ5、6およびメモリコントローラ9の内部ロジックを示す回路で、第15図は第14図の回路の動作を説明するタイムチャートである。図において、32、33はゲート、5、6は第1および第2ラインメモリ、34、35はラッチ、9はメモリコントローラ、36、37、38、42はゲート、39、40はカウンタ、41はセレクトである。

第14図および第15図を参照して、カウンタ39、40はそれぞれ第1および第2ラインメモリ5、6用のアドレスカウンタであり、カウントオン、オフ制御信号 $\bar{E}$ に基づいてセレクト41により信号 $E_1$ 、 $E_2$ が発生し、カウンタ39、40の進歩が制御される。セレクト41は $E_1 = \bar{E}$  ( $E_2 = "H"$ ) また  $E_2 = \bar{E}$  ( $E_1 = "H"$ ) に選択するのに用いられるが、選択条件は信号 $I$ 、 $P$ 、したがって信号 $I_1$ に依存する。すなわち、

への書き込み制御信号で、信号 $P$ にしたがつて第1および第2ラインメモリ5、6に交互に書き込み動作を行う。すなわち、 $p = "0"$ の偶数ラインでは第2ラインメモリ6が書き込みモード、 $p = "1"$ で第2ラインメモリ6が読出しモードのときはその逆である。

第15図は $I_1 = "1"$ 、特に $I = "1"$  (= 拡大モード)、 $p = 0$  (= 偶数ライン) の場合の例である。

信号 $E$ は変倍データ $I$ の中の $\Delta I_1$ に対応する信号で、 $E = "1"$ は $\Delta I_1 = "1"$ に対応し、このときアドレスカウンタ39、40はカウントオンである。逆に、 $E = "0"$ は $\Delta I_1 = "0"$ に対応し、このときアドレスカウンタ39、40はカウントオフである。

したがって、カウンタ39、40の出力、すなわち第1および第2ラインメモリ5、6のアドレス信号 $m_1$ 、 $n_1$ は第15図のように歩進する。

そして第1ラインメモリ5からは信号 $f_1$ が読み出される。信号 $f_1$ の中の $(m_{11})$ 、 $(m_{12})$

第4図のように、変倍モード(1)や走査ラインの偶数/奇数( $p$ )により選択条件が異なる。

例えば拡大モードでは、読出しモードのラインメモリ側のカウンタは信号 $E$ により制御され、一方のラインメモリ側のカウンタは端子 $EN = "H"$ で常にカウントアップモードである。しかも、走査ライン毎に書き込みと読出しのモードが交互に逆転する。

また、縮小モードでは、読出しモードのラインメモリ側のカウンタは $EN = "H"$ で常にカウントアップであり、他方のラインメモリ側は書き込みモードであつて、信号 $E$ によりカウントがオン、オフ制御される。

セレクト41の周辺の真理値表は下表で示される。

$I$	$P$	$I_1$	$E_1$	$E_2$
0	0	0	1 ( $A_1$ )	$\bar{E}$ ( $A_2$ )
0	1	1	$\bar{E}$ ( $B_1$ )	1 ( $A_1$ )
1	0	1	$\bar{E}$ ( $B_2$ )	1 ( $A_1$ )
1	1	0	1 ( $A_1$ )	$\bar{E}$ ( $A_2$ )

また、信号 $WT$ はラインメモリ (実際はRAM)

等はアドレス $m_{11}$ 、 $m_{12}$ に対応するデータの意味である。信号 $f_1$ はラッチ34により信号CLKのタイミングで整形されて信号 $g$ となる。

一方、第2ラインメモリ6へは信号 $f_2$ が書き込まれる。この信号 $f_2$ は入力画像データ $f$ であり、ゲート33を介して第2ラインメモリ6に入力される。このとき、ラッチ35の出力 $h$ にも $h = f_2 = f$ が出力されるが、このように書き込みモード側のデータ信号 $h$ が出力されても、第3図のセレクト7により $o = g$ 側に選択されるので、この場合の $h$ には意味がない。ただし、奇数ライン時には逆に $o = h$ になり、 $g$ の方が意味が無くなる。

第16図は第14図および第15図によつて第1ラインメモリ5 (または第2ラインメモリ6) から読み出されたデータ $g$  (または $h$ ) がセレクト7、セレクト1により信号 $b$ としてデータ補正部2へ送出された場合の、データ補正部2での動作を説明するタイムチャートである。特に第15図の例と対応させ、 $b = g = a^{-1}$ とした。ここで

$a^{-1}$ はセレクト1で $b=a$ は選択されず、 $b=g$ が選択されるが、この $g$ をさかのばれば、1ライン以前の信号 $a$ に帰着するので $a^{-1}$ とした。

また、 $(m_{10})$ 、 $(m_{11})$ 、 $(m_{12})$ に対応させて $A_{10}$ 、 $A_{11}$ 、 $A_{12}$ を添え書きした理由は第6図の $A_{10}$ 、 $A_{11}$ 、 $A_{12}$ 付近の例がこの場合に良く一致するからである。

第15図の信号 $l$ 、CLKに対応して信号 $K$ は第16図のようになる(第8図のラッチ13、ゲート24、25により発生)。この信号 $K$ により、ラッチ26(第12図)の出力 $b$ 、(したがって $B_{10}$ 、 $B_{11}$ 、 $B_{12}$ )は第16図のようになる。

一方、信号 $K_{10}$ 、 $K_{11}$ は、第16図のように、信号CLKのタイミングで変化する。したがって、補正データ出力 $c$ ( $=d$ )は、同図のように、信号CLKのタイミングで変化する。ちょうど、 $B_{10}$ 、 $B_{11}$ 、 $B_{12}$ 、 $B_{13}$ と記したように、第6図のAとBとの関係に対応するタイミングおよび濃度レベルとなる。

$n=5\sim 12$ に対応して示してある $b_{10}$ 、 $b_{11}$ 、 $c$ の値は第6図、第16図に対応させている。また、 $j_{10}$ は第8図において説明したように、 $n=1$ からの開示点を示す信号で、本実施例では $j_{10}$ はRAM14への書き込み時のRAM14のアドレスクリヤ用の信号として扱っている。 $j_{10}$ 自体はRAM14に書き込まれず、したがってこの $j_{10}$ は読出し時には意味を持たない。

第18図および第19図は縮小時の原理および動作を補足説明するための図で、例えばとして $\alpha=71\%$ の場合を示す。

第18図では $n=1\sim 71$ に対応して $100/\alpha \times n$ および $\Delta l_{10}$ を示し、第18図では $\Delta l_{10}$ を変形( $\Delta l_{10}=2-\Delta l_{10}=0$ と1に分解)した後、 $l'=\Delta l_{10}$ (変形後)として、第17図に対比する形で各部の状態を示している。

特に、 $n=5\sim 10$ に対応する $b_{10}$ 、 $b_{11}$ 、 $c$ の値は第7図の例に対応させている。ここで $c$ 欄の $c=B_{10}$ 、 $B_{11}$ 、 $B_{12}$ 等は第7図にも現れていないし、実際の変倍動作時にもとくに意味のないものであ

る。第17図は上述の拡大時の原理および動作について例題的に補足説明するための図で、例として $\alpha=250\%$ (拡大)の場合である。図においては $n=1, 2, \dots, 250$ に対応して、 $X_{10}=100/\alpha \times n$ の値と、さらにこの $n$ に対応してRAM14(第8図)のアドレス(ADR)およびその他の信号の状態が示されている。

$100/\alpha=0.4$ であるので、 $100/\alpha \times n$ は図示のごとく、 $0.4\sim 100$ までの250個の数列になる。 $100/\alpha \times n$ の整数部から $l'=\Delta l_{10}=1, -1, -1, \dots$ は図示の通りである。また、小数部 $K_{10}$ 、 $K_{11}$ も図示のごとくであり、さらに、エンドビットを示す $j_{10}$ は $n=1\sim 249$ で $j_{10}=0$ 、 $n=250$ で $j_{10}=1$ である。

これらの情報が変倍データとしてRAM14に書き込まれる。

一方、実際の変倍動作時にはRAM14の内容が読み出される訳であるが、第17図の $b_{10}$ 、 $b_{11}$ 、 $c$ 、 $j_{10}$ はその読出し時の各部の状態を $n=1\sim 250$ に対応させて示したものである。特に、 $n$

る。

すなわち、 $l'=0$ のときに発生するこれらの $c$ の値は、一旦は第1(または第2)ラインメモリ5(または6)に書き込まれるが、 $l'=0$ のため第8図において $l=0$ 、したがって、第14図において $l$ (または $l_{10}$ ) $=0$ になり、アドレスカウンタ39(または40)のアドレスは歩進しない。

すなわち、第19図に戻って、 $l'=0$ 時の $c$ の値は第1(または第2)ラインメモリ5(または6)に書き込まれるが、次の $l'=1$ で同一のアドレスに $l'=1$ に対応する $c$ の値が書き込まれる。このように、 $l'=0$ 時の $c$ はダミーデータであり、値そのものには意味がなく、第7図で明らかのように実現もしないサンプリング点である。

第20図は第19図の $n=5\sim 10$ に対応する各部の状態を示すタイムチャートである。図において $f_{10}=f=c$ には、図のように、 $B_{10}$ 、 $B_{11}$ 、 $\dots$ 、 $B_{12}$ が発生するが、読み出すときは第20図

のgのようにB<sub>0</sub>, B<sub>1</sub>等のダミーデータは消滅し、B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub>, B<sub>4</sub>……のようになる。

以上、本発明による変倍の原理、動作および構成の実施例について説明した。次に本発明の応用の典型的な1例を第21図および第22図を参照して説明する。

第21図は画像読取り装置の概略図で、43はコンタクトガラス、44は原稿、45, 46は光源、47, 48, 49は反射ミラー、50は結像レンズ、51はCCD(電荷結合素子)ラインセンサを含む読取り部、52は画像処理部である。

この画像読取り装置において、読取りの走査は、主走査がCCDラインセンサにより図において紙面と垂直の方向に電子的に走査され、副走査が光源45, 46および反射ミラー47, 48, 49が図の矢印方向に移動することにより走査する。

読取り部51で読み取った画像データは画像処理部52で画像処理された後外部に出力される。

ここで変倍動作は主走査方向の変倍は上述した本発明によつて行われ、副走査方向の変倍は副走

査速度の制御によつて行うものである。

第22図は第21図のうち、特に読取りデータに関する部分の機能ブロック図である。図において44は原稿、45, 46は光源、51は読取り部、51aはCCDラインセンサ、51bは増幅器、51cはA/D変換器、52は画像処理部、52aはシェーディング補正、52bは変倍、52cはMTF(変調伝達関数)補正、52dは2値化を示す。この構成において光源45, 46で原稿44を照明する。原稿44の画像はCCDラインセンサ51aにより読み取られ、増幅器51b、A/D変換器51cを介して6ビット64階調のデジタルデータに変換される。その後画像処理部52の内部でまずシェーディング補正52aされ、次いで変倍52b動作が行われる。さらにMTF補正52cされた後、2値化52dされ、2値の画像データとして外部に出力される。

第23図は本発明の他の応用例を示すブロック図で、53は画像メモリ、54は変倍機構、55は出力装置を示す。この応用例においては、画像

メモリ53に格納されている画像データを読み出し、例えばレーザビームプリンタのような出力装置55により印刷する場合に、画像メモリ53と出力装置55との中間に本発明による変倍機構54を設けて出力装置のスピードに追従するスピードでリアルタイム変倍を行うものである。

(効果)

叙上のごとく、本発明によれば、少なくとも1主走査ライン分の容量を有するラインメモリ、変倍制御情報が格納される変倍コントロールメモリおよび変倍動作時にデータの補正を行うデータ補正部を備え、前記変倍コントロールメモリからの変倍情報に基づいて前記ラインメモリおよび前記データ補正部が動作して変倍動作を行う画像データの変倍方式において、変倍制御情報を、変倍前と変倍後の画像データのサンプリング点の個数関係を表すデータと、前記サンプリング点の位置関係を表すデータとに分離したデータにより構成することを提案する。このようにしたことにより本発明はデジタル画像データの電気的な変倍を簡単

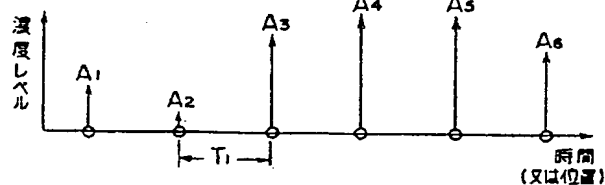
なハードウェア構成により、広範囲の変倍率での変倍、任意倍率での変倍、精度の良い変倍、また、入力装置または出力装置に同期したリアルタイム処理による変倍を可能とする画像データの変倍方式を提供することができる。

#### 4. 図面の簡単な説明

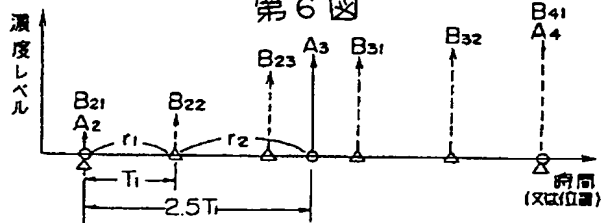
第1図は画素、画像データ、主走査、副走査等を説明する概念図、第2図は第1図に対応する信号のタイムチャート、第3図は本発明による画像データの変倍方式の一実施例を示すブロック図、第4図は第3図の構成の動作の概要を説明する説明図、第5図は第3図の入力信号aを模式的に示すタイムチャート、第6図は第5図と同様であるが拡大例を示すタイムチャート、第7図は第5図の縮小例を示すタイムチャート、第8図は第3図の変倍コントロールメモリの内部ロジックを示す回路図、第9図は書き込み動作を説明するタイムチャート、第10図はRAMから変倍データを読み出すモードにおいて第8図の動作を説明するタイムチャート、第11図は信号CLK,  $\phi$ , K<sub>1</sub>,



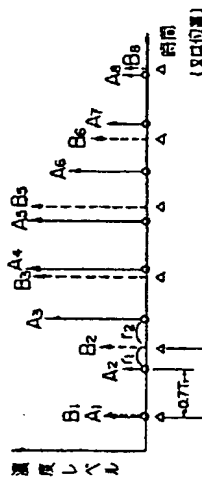
第5図



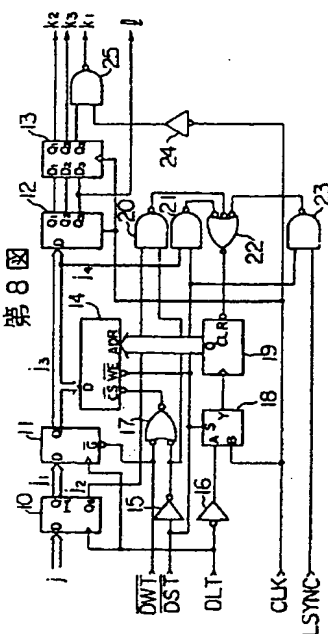
第6図



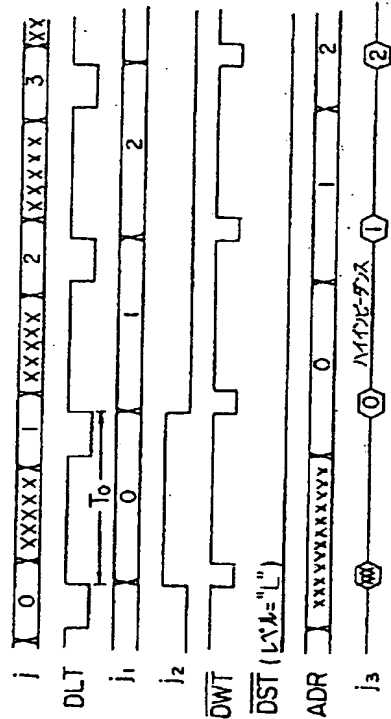
第7図



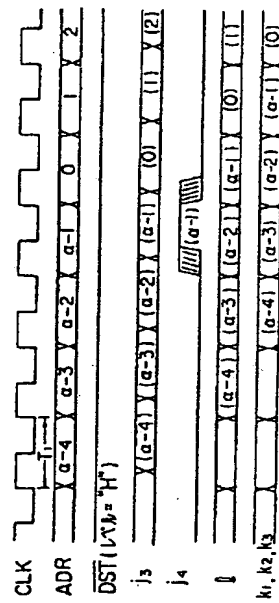
第8図



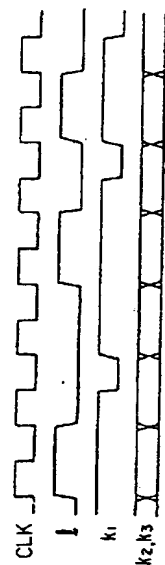
第9図



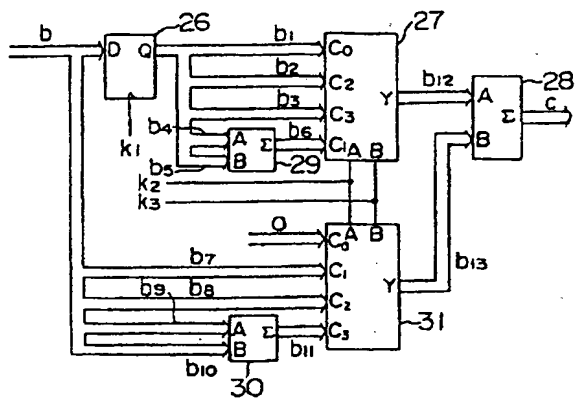
第10図



第11図



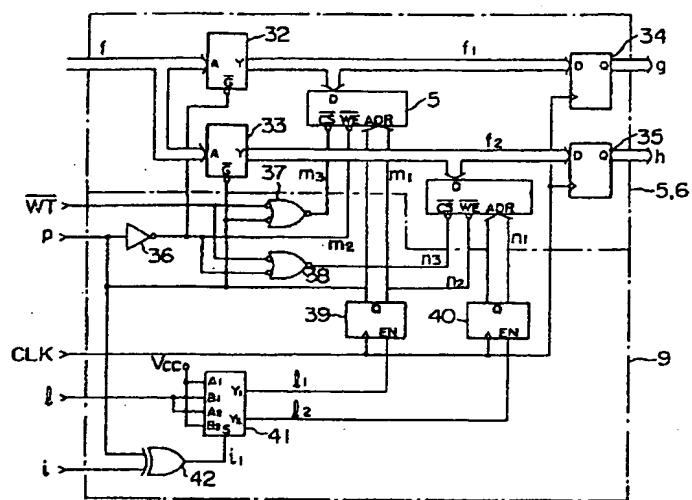
第12図



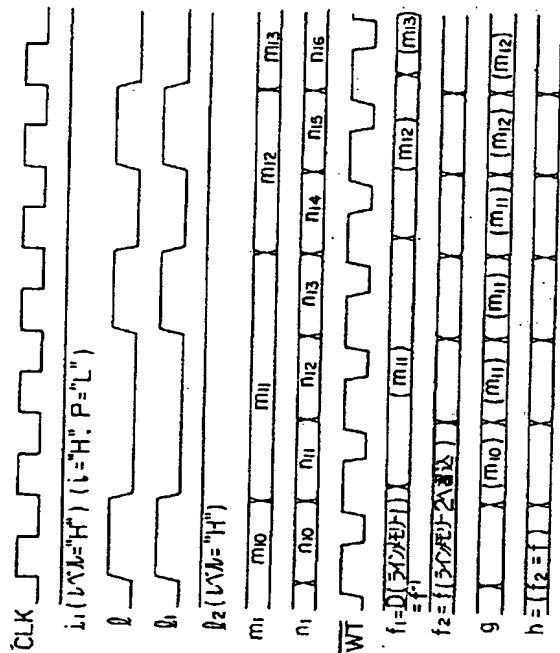
第13図

B	A	Y
0	0	C <sub>0</sub>
0	1	C <sub>1</sub>
1	0	C <sub>2</sub>
1	1	C <sub>3</sub>

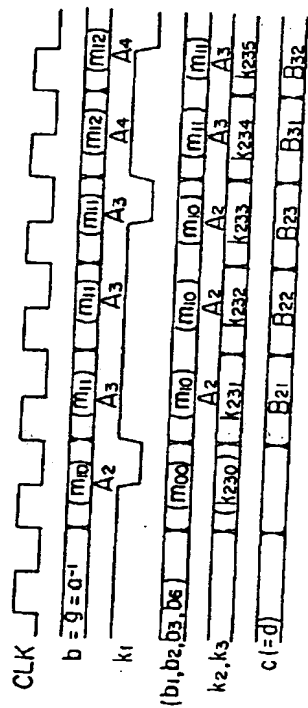
第14図



第15図



第16図



第17図

n	$\frac{100}{a} \times n$	RAM 14					b <sub>1</sub>	b	c		備考	
		ADR	j <sub>1</sub>	k <sub>1</sub>	k <sub>2</sub>	j <sub>4</sub>					j <sub>2</sub>	
1	0.4	0	0	0	1	0					1	
2	0.8	1	0	1	1	0					0	
3	1.2	2	1	0	0	0					0	
4	1.6	3	0	1	0	0					0	
5	2.0	4	1	0	0	0	A <sub>2</sub>	A <sub>3</sub>	A <sub>2</sub> + 0	=B <sub>21</sub>	0	
6	2.4	5	0	0	1	0	A <sub>2</sub>	A <sub>3</sub>	A <sub>2</sub> (3/4)+A <sub>3</sub> (1/4)	=B <sub>22</sub>	0	
7	2.8	6	0	1	1	0	A <sub>2</sub>	A <sub>3</sub>	A <sub>2</sub> (1/4)+A <sub>3</sub> (3/4)	=B <sub>23</sub>	0	
8	3.2	7	1	0	0	0	A <sub>3</sub>	A <sub>4</sub>	A <sub>3</sub> + 0	=B <sub>31</sub>	0	
9	3.6	8	0	1	0	0	A <sub>3</sub>	A <sub>4</sub>	A <sub>3</sub> (1/2)+A <sub>4</sub> (1/2)	=B <sub>32</sub>	0	
10	4.0	9	1	0	0	0	A <sub>4</sub>	A <sub>5</sub>	A <sub>4</sub> + 0	=B <sub>41</sub>	0	
11	4.4	10	0	0	1	0	A <sub>4</sub>	A <sub>5</sub>			0	
12	4.8	11	0	1	1	0	A <sub>4</sub>	A <sub>5</sub>			0	
1	1	1	1	1	1	1						
1	1	1	1	1	1	1						
1	1	1	1	1	1	1						
249	99.6	248	0	1	0	0					0	
250	100.0	249	1	0	0	1					0	

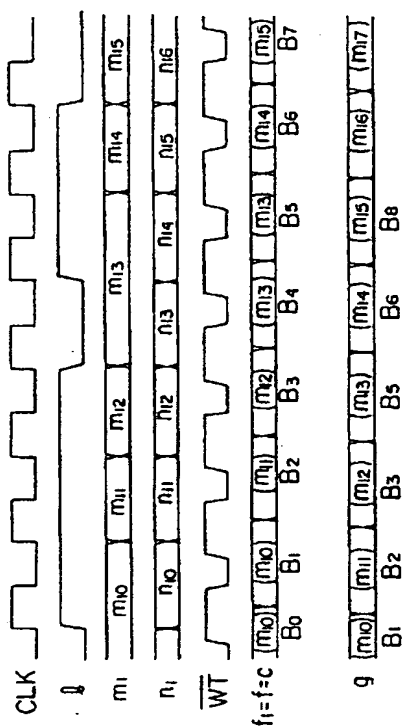
第18図

n	$\frac{100}{a} \times n$	$\Delta I_n$
1	1.4	1
2	2.8	1
3	4.2	2
4	5.6	1
5	7.0	2
6	8.4	1
7	9.9	1
8	11.3	2
9	12.7	1
10	14.1	2
1	1	1
1	1	1
1	1	1
1	1	1
1	1	1
68	95.8	1
69	97.2	2
70	98.6	1
71	100.0	2

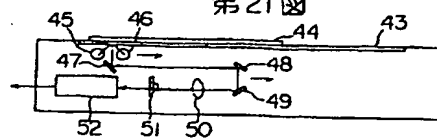
第19図

n	$\frac{100}{a} \times n$	RAM 1					j <sub>2</sub>	b <sub>1</sub> b c		
		ADR	j <sub>1</sub>	k <sub>1</sub>	k <sub>2</sub>	j <sub>4</sub>				
1	1.4	0	1	0	1	0	1			
2	2.8	1	1	1	1	0	0			
3	4.2	2	0	0	0	0	0			
3	4.2	3	1	0	0	0	0			
4	5.6	4	1	1	0	0	0			
5	7.0	5	0	0	0	0	0	A <sub>-1</sub>	A <sub>1</sub>	(B <sub>0</sub> )
5	7.0	6	1	0	0	0	0	A <sub>1</sub>	A <sub>2</sub>	B <sub>1</sub>
6	8.4	7	1	0	1	0	0	A <sub>2</sub>	A <sub>3</sub>	B <sub>2</sub>
7	9.9	8	1	1	1	0	0	A <sub>3</sub>	A <sub>4</sub>	B <sub>3</sub>
8	11.3	9	0	0	0	0	0	A <sub>3</sub>	A <sub>5</sub>	(B <sub>4</sub> )
8	11.3	10	1	0	1	0	0	A <sub>5</sub>	A <sub>6</sub>	B <sub>5</sub>
9	12.7	11	1	1	0	0	0	A <sub>6</sub>	A <sub>7</sub>	B <sub>6</sub>
10	14.1	12	0	0	0	0	0	A <sub>6</sub>	A <sub>8</sub>	(B <sub>7</sub> )
10	14.1	13	1	0	0	0	0	A <sub>8</sub>	A <sub>9</sub>	B <sub>8</sub>
1	1	1	1	1	1	1	1			
1	1	1	1	1	1	1	1			
1	1	1	1	1	1	1	1			
68	95.8	94	1	1	1	0	0			
69	97.2	95	0	0	0	0	0			
69	97.2	96	1	0	0	0	0			
70	98.6	97	1	1	0	0	0			
71	100.0	98	0	0	0	0	0			
71	100.0	99	1	0	0	1	0			

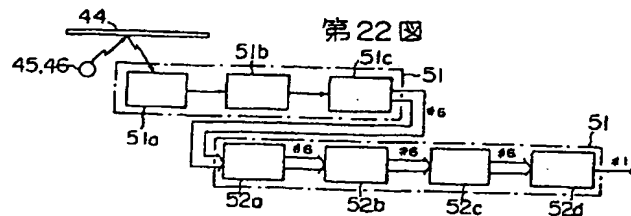
第20図



第21図



第22図



第23図

